

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-202345
(43)Date of publication of application : 08.09.1986

(51)Int.CI. G11B 7/125
G11B 7/00
H01S 3/133

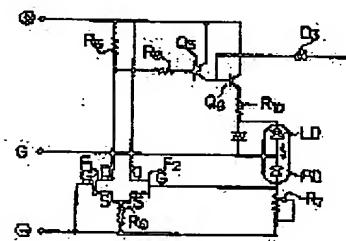
(21)Application number : 60-043536 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 05.03.1985 (72)Inventor : NOGUCHI YUTAKA

(54) LASER OUTPUT CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To stabilize a laser output by using a photodiode which is connected between a field effect type transistor and a negative power supply line and also varies its current value by the laser light emitted by a laser diode.

CONSTITUTION: When the laser output of a laser diode LD increases, the monitor current of a photodiode PD also increases. Then the gate voltage of a field effect type transformer FETF2 rises up to increase the drain current. Thus the potential of a common source rises up to deepen the bias of an FETF1. As a result, the drain current of the FETF1 is reduced and the base potential of a transistor TR Q5 rises up with reduction of the collector current. Then the emitter current of a TR Q6 is reduced. Thus the current flowing to the diode LD is reduced. An adverse function is actuated if the output of the LD is reduced to less than a reference level. Then the emitter current of the TR Q6 increases and the current flowing to the LD increases. The laser output is kept constant since the base-emitter voltage of the TR Q6 has no change.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 公開特許公報 (A) 昭61-202345

⑤Int.Cl.
G 11 B 7/125
7/00
H 01 S 3/133

識別記号
C-7247-5D
A-7734-5D
7377-5F

⑬公開 昭和61年(1986)9月8日
審査請求 未請求 発明の数 1 (全6頁)

⑤発明の名称 レーザ出力制御回路

⑯特 願 昭60-43536
⑯出 願 昭60(1985)3月5日

⑦発明者 野口 豊 横浜市磯子区新磯子町33番地 株式会社東芝音響工場内
⑦出願人 株式会社東芝 川崎市幸区堀川町72番地
⑦代理人 弁理士 須山 佐一

明細書

1. 発明の名称

レーザ出力制御回路

2. 特許請求の範囲

(1) 制御側電極と一方の被制御側電極とがグランドラインあるいは負電源ラインに接続されかつ他方の被制御側電極が正電源ラインに接続された第1の電界効果型トランジスタと、第1の電界効果型トランジスタと差動構成にされ、一方の被制御側電極が前記第1の電界効果型トランジスタの前記一方の被制御側電極に接続されかつ他方の被制御側電極が正電源ラインに接続されかつ制御側電極が前記グランドラインあるいは前記負電源ラインに可変抵抗を介して接続された第2の電界効果型トランジスタと、制御側電極が前記第1の電界効果型トランジスタの前記他方の被制御側電極に接続されかつ一方の被制御側電極が前記正電源ラインに接続された第1のトランジスタと、制御側電極が前記第1のトランジスタの他方の被制御側電極に接続されかつ一方の被制御側電極が前記

正電源ラインに接続された第2のトランジスタとこの第2のトランジスタの他方の被制御側電極と前記グランドラインとの間に接続されたレーザダイオードと、前記第2の電界効果型トランジスタの前記制御側電極と前記グランドラインあるいは前記負電源ラインとの間に接続されかつ前記レーザダイオードの発するレーザ光により電流値が変化するフォトダイオードとを有してなることを特徴とするレーザ出力制御用回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、光学式のディジタル・オーディオ・ディスク(以下、DADと称する)再生装置のピックアップ部に用いられるレーザ出力制御回路に関する。

〔発明の技術的背景〕

近年、レコードにかわるハイファイソースとしてDADが開発された。

DADは表面に形成されたピット列にレーザ光を照射し、その反射光をデジタル電気信号に変

換して記録データの読み取りを行うようにされており、従来のレコードを用いたオーディオシステムと比較して、ダイナミックレンジおよびS/N比が大幅に向上したシステムを構成することができる。

ところでこのDADの再生装置のピックアップ部には、レーザ光の照射部とその反射光を電気信号に変換する光電変換部とが設けられているが、DADに記録されている信号は超高密度であるため、照射するレーザ光の強度は極めて安定していなければならない。

一般的な再生装置ではレーザダイオードを用いてレーザ光を発生させているが、このレーザダイオードは温度特性が非常に悪く、温度が下がると光強度が増大し、温度が上がると閾値が高くなってしまうので、レーザ発振が停止してしまうことがあるので、絶えず光強度を監視して駆動電流を制御しなければならない。

このため、レーザダイオードのケース内にはモニタ用のフォトダイオードが組み込まれており、レーザダイオード後方から出るビームに応じて

をマニュアル調節する可変抵抗である。

この回路において、レーザダイオードLDのレーザ出力が基準値よりも増加した場合の制御について説明する。

まずレーザダイオードLDのレーザ出力が増加すると、フォトダイオードPDに流れる電流が増加し、トランジスタQ1のベース電圧が上昇し、そのコレクタ電流が増加する。すると抵抗R2による電圧降下が増加し、トランジスタQ2のベース電圧が減少し、そのコレクタ電流が減少する。これに伴なって抵抗R1による電圧降下が減少し、トランジスタQ3のベース電圧が上昇する。従ってトランジスタQ3のコレクタ電流が減少し、レーザダイオードLDに流れる電流が減少する。

一方、レーザダイオードLDのレーザ出力が基準値よりも減少した場合には、上述した動作と逆の動作により、トランジスタQ3のコレクタ電流が増加してレーザダイオードLDに流れる電流が増加する。

なお第6図においてレーザダイオードLDのO

ットダイオードに流れる電流により、いわゆるフィードバック制御が行なわれている。

このモニタ用のフォトダイオードとレーザダイオードとの接続方式としては第4図と第5図に示した2つの方式が知られている。

第4図に示したのはレーザダイオードLDのカソードと、フォトダイオードPDのカソードとが共通ラインにされている方式であり、カソードコモン方式と呼ばれている。一方、第5図に示したのはレーザダイオードLDのアノードとフォトダイオードPDのカソードとが共通接続されている方式である。

第6図は第4図に示した方式のデバイスを用いたレーザ出力制御回路の構成の一例を示す回路図である。なお、この回路はプラス・マイナス2電源方式の回路である。

同図においてLDはレーザダイオード、PDはフォトダイオード、Q1ないしQ3はトランジスタ。R1ないしR3は抵抗、D2およびD3はダイオードを示す。なおR1はレーザ光の基準強度

NおよびOFFは、トランジスタQ2のベースに接続されたダイオードD1のカソード側端子の信号レベルにより選択することができる。具体的にはタイオードD1のカソード側端子をハイレベルにするとレーザダイオードLDがONになり、カソード側端子をローレベルにするとレーザダイオードLDがOFFになる。

第7図は他の方式のレーザ出力制御回路の構成を示す回路図である。

この回路はオペアンプを用い、1電源方式で構成されている。

同図においてLDはレーザダイオード、PDはフォトダイオード、Q1はトランジスタ、OP1、OP2はオペアンプ、R1ないしR5は抵抗、D2およびD3はダイオードを示している。なおR1はレーザ光の基準強度をマニュアル調節する可変抵抗である。

このような回路においてもレーザダイオードLDのレーザ出力はフィードバック制御される。

すなわち、レーザダイオードLDのレーザ出力

が基準値よりも増加した場合には、フォトダイオードPDに流れる電流が増加し、抵抗R₃を介してオペアンプOP₁のマイナス入力の電圧が増加する。するとオペアンプOP₁の出力電圧が減少し、トランジスタQ₁のベース電圧が減少する。従ってトランジスタQ₁のエミッタ電流が減少し、レーザダイオードLDに流れる電流が減少する。

一方、レーザダイオードLDのレーザ出力が基準値よりも減少した場合には、上述した動作と逆の動作により、トランジスタQ₁のエミッタ電流が増加してレーザダイオードLDに流れる電流が増加する。なお第7図において、レーザダイオードLDのONおよびOFFはトランジスタQ₁のベースにダイオードD₂を介して接続されているオペアンプOP₂の、プラス側入力の電圧レベルにより選択することができる。具体的には、オペアンプOP₂のプラス側入力をハイレベルにするとレーザダイオードLDがONになり、プラス側入力のレベルをローレベルにするとレーザダイオードLDがOFFになる。

高精度のフィードバック制御を行なうことができない。一般にレーザダイオードの出力変動は±1%程度の変動幅に抑えておく必要があるので、相当高精度のフィードバック制御が要求されるために常に高精度の安定したフィードバック制御が行なわれるようなレーザ出力制御回路の開発が期待されているというのが実情であった。

[発明の目的]

本発明は上述したような従来のレーザ出力制御回路の問題点を解決するためになされたもので、電源電圧が変動してもレーザダイオードに流れる電流が変化することのない、極めて高精度の安定したレーザ出力制御回路の提供を目的としている。

[発明の概要]

すなわち本発明のレーザ出力制御回路は、制御側電極と一方の被制御側電極とがグランドラインあるいは負電源ラインに接続されかつ他方の被制御側電極が正電源ラインに接続された第1の電界効果型トランジスタと、第1の電界効果型トランジスタと差動構成にされ、一方の被制御側電極が

[背景技術の問題点]

しかしながら第6図に示した回路は、電源電圧が変動するとトランジスタQ₂のベース電圧が変動するので、フィードバック制御が正常に行なわれなくなり、レーザダイオードLDのレーザ出力が変動してしまうという問題がある。

また第7図に示した回路も、電源電圧が変動するとオペアンプOP₁のプラス側入力の電圧が変動してその出力電圧が変動し、これに伴なってトランジスタQ₁のベース電圧が変動するので、やはりフィードバック制御が正常に行なわれなくなる。

この電源電圧の変動によるレーザダイオードのレーザ出力の変動を回避するために、第6図および第7図の回路では、プラス側電源とアースとの間にツェナーダイオードD₂が介絶され、電源電圧の変動がフィードバック制御に影響を与えないようにされているが、温度の変化や電源電圧の変化によるツェナー電圧の変動のため、ある程度はレーザダイオードに流れる電流が変動するので、

前記第1の電界効果型トランジスタの前記一方の被制御側電極に接続されかつ他方の被制御側電極が正電源ラインに接続されかつ制御側電極が前記グランドラインあるいは前記負電源ラインに可変抵抗を介して接続された第2の電界効果型トランジスタと、制御側電極が前記第1の電界効果型トランジスタの前記他方の被制御側電極に接続されかつ一方の被制御側電極が前記正電源ラインに接続された第1のトランジスタと、制御側電極が前記第1のトランジスタの他方の被制御側電極に接続されかつ一方の被制御側電極が前記正電源ラインに接続された第2のトランジスタと、この第2のトランジスタの他方の被制御側電極と前記グランドラインとの間に接続されたレーザダイオードと、前記第2の電界効果型トランジスタの前記制御側電極と前記グランドラインあるいは前記負電源ラインとの間に接続されかつ前記レーザダイオードの発するレーザ光により電流値が変化するフォトダイオードとを有してなることを特徴としている。

本発明のレーザ出力制御回路は2つ電界効果型トランジスタを差動構成にして用い、一方の電界効果型トランジスタをゼロバイアスで動作させる点が従来のレーザ出力制御回路と異なっている。

【発明の実施例】

以下、本発明の実施例の詳細を図面に基づいて説明する。

第1図は本発明の一実施例の構成を示す回路図である。

なお第1図に示した回路はプラス・マイナス2電源方式にされている。

同図においてLDはレーザダイオード、PDはレーザダイオードLDと同一のケース内に収容されたフォトダイオード、F₁はソースとゲートとが負電源ラインに接続され、ドレインが抵抗R₁を介して正電源ラインに接続された電界効果型トランジスタ（以下、FETと称する）、F₂はFETF₁と差動構成にされ、ソースがFETF₁のソースに接続され、ドレインが正電源ラインに接続され、さらにゲートが可変抵抗R₂を介して

このときレーザ出力を確認しながら可変抵抗R₂の調整を行なうと、FETF₂のゲート電圧が変化し、FETF₁とF₂とのバランスが変化して再び安定する。

また、レーザダイオードLDのレーザ出力が基準値よりも増加した場合の回路動作について説明する。

レーザダイオードLDのレーザ出力が増加するとフォトダイオードPDのモニタ電流が増加し、FETF₂のゲート電圧が上昇し、そのドレイン電流が増加する。すると共通ソースの電位が上昇し、FETF₁のバイアスが深くなる。これによりFETF₁のドレイン電流が減少して、トランジスタQ₁のベース電位が上昇し、そのコレクタ電流が減少してトランジスタQ₁のエミッタ電流が減少する。

従ってレーザダイオードLDに流れる電流が減少する。

一方、レーザダイオードLDのレーザ出力が基準値よりも減少した場合には、上述した動作と逆

負電源ラインに接続されたFETを示している。なおFETF₁とFETF₂の共通ソースと負電源ラインとの間には抵抗R₁が介絶されている。またQ₁はベースが抵抗R₁を介してFETF₁のドレインに接続され、エミッタが正電源ラインに接続されたトランジスタ、Q₂はベースがトランジスタQ₁のコレクタに接続され、コレクタが正電源ラインに接続され、エミッタが抵抗R₂を介してレーザダイオードLDに接続されたトランジスタを示している。トランジスタQ₁とQ₂との接続はいわゆるインバーテッド・ダーリントン接続である。なおレーザダイオードLDはトランジスタQ₂のエミッタとグランドラインとの間に接続され、フォトダイオードPDはグランドラインとFETF₂のゲートとの間に接続されている。

本実施例の回路は初期状態において、FETF₁およびF₂がそれぞれのドレイン電流の和によりソース抵抗R₁によりバイアスされてそれぞれ安定する。

の動作が働き、トランジスタQ₂のエミッタ電流が増加してレーザダイオードLDに流れる電流が増加する。

すなわち本実施例のレーザ出力制御回路では電源電圧が変動してもFETF₁およびF₂のゲート電圧が変化しないため、そのドレイン電流にも変化が現われず、抵抗R₁による電圧降下の変化もない。従ってトランジスタQ₁のベース-エミッタ間の電圧が変化しないため、レーザ出力が一定に保たれるのである。なお第1図においてレーザダイオードLDのONおよびOFFは、トランジスタQ₂のベースに接続されたダイオードD₁のカソード側端子の信号レベルにより選択することができる。具体的にはタイオードD₁のカソード側端子をハイレベルにするとレーザダイオードLDがONになり、カソード側端子をローレベルにするとレーザダイオードLDがOFFになる。

第2図は本発明の他の実施例の構成を示す回路図である。

この回路はプラス側1電源方式の例であるが、

第1図と共に部分には共通の符号が付されている。第1図に示した回路との相違はFETF₁とFETF₂との共通ソースおよびFETF₁のゲートがグランドラインに接続されている点と可変抵抗R₇がFETF₂のゲートとグランドライン間に接続されている点である。この回路においてもFETF₁はゼロバイアスで動作するようにされている。

本発明をこの実施例のようにプラス側 1 電源で構成すると、従来回路（第 7 図）においてはオペアンプが動作不能となるような低い電圧（一般に 5V 以下）でも回路が正常に動作する。

また第3図に示したのは本発明のさらに他の実施例であり、第2図に示した回路の増幅段のトランジスタQ₁およびQ₂をダーリントン接続にし、FETTF₁とFETTF₂の共通ソースとグランドライン間に介挿される低抵抗R₅を両FETのドレイン-ソース間電流のばらつきを調節可能なよう可変抵抗にした例である。この回路においてもFETTF₁はゼロバイアスで動作する。

ドとの接続状態を示す図、第6図および第7図は従来のレーザ出力制御回路の構成を示す回路図である。

L D レーザダイオード
 P D フォトダイオード
 Q₁ ~ Q₇ トランクスタ
 R₁ ~ R₈ 低抗
 F₁, F₂ FET

代理人弁理士 須山 佐一

しかしして本実施例のレーザ出力制御回路では、電源電圧が変動してもレーザ出力が変動しないので、レーザダイオード LD のレーザ出力のファイードバック制御を極めて安定して行うことができる。

〔発明の効果〕

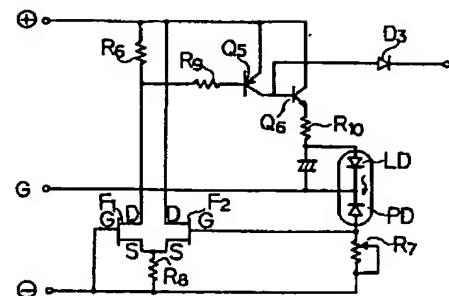
以上説明したように本発明のレーザ出力制御回路では、2つのFETを差動構成にして用い、しかも差動構成にされた一方のFETのゲートとソースとをグランドラインあるいは負電源ラインに接続してゼロバイアスで動作させており、正電源ラインの電圧変化が出力段に影響しない。

従ってツェナーダイオード等の安定化素子を用いることなく、レーザダイオードのレーザ出力のフィードバック制御を極めて高精度に安定して行なうことができる。

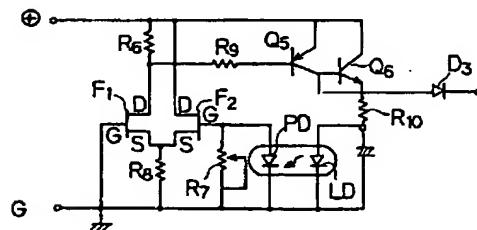
4. 図面の簡単な説明

第1図は本発明のレーザ出力制御回路の一実施例の構成を示す回路図、第2図および第3図は本発明の他の実施例の構成を示す回路図、第4図および第5図はレーザダイオードとフォトダイオード

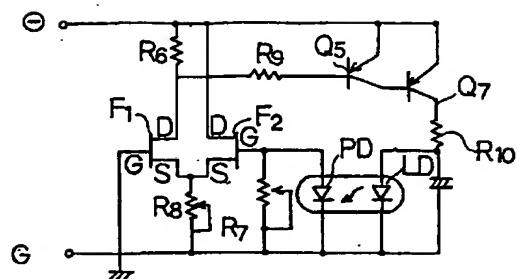
第 1 図



第2回

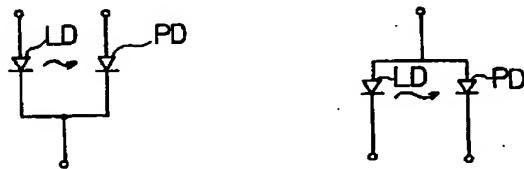


第3図

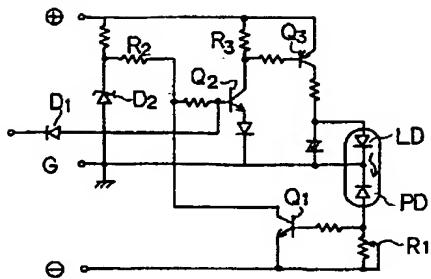


第4回

第 5 圖



第 6 四



第 7 図

